

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-055468

(43)Date of publication of application : 25.02.1997

(51)Int.Cl.

H01L 27/04
H01L 21/822

(21)Application number : 07-208884

(71)Applicant : NEC CORP

(22)Date of filing : 16.08.1995

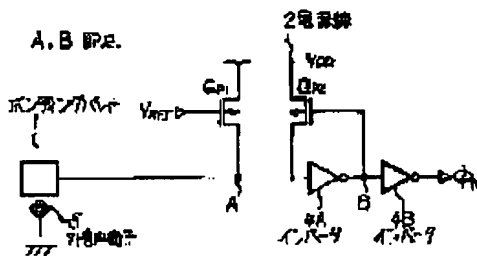
(72)Inventor : NAGANAMI TORU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a function determining circuit in an LSI of bonding option to be lessened in current consumption and area occupied by it on a chip.

SOLUTION: A DC voltage VREF generated in an LSI and smaller than a power supply voltage VDD but larger than a ground potential is applied to a gate electrode of a PMOS transistor QP1 which forms a function determining circuit. As the gate voltage of the transistor QP1 is set lower than usual, a current flowing through the transistor QP1 is lessened. Therefore, the gate of the transistor QP1 can be lessened in length. When a second PMOS transistor is connected to the transistor QP1 in parallel and made to have a function to feed electrical charge to a node A, the transistor QP1 can be much lessened in area. When a DC voltage such as a reduced voltage generated in an LSI for a certain purpose other than a function determining circuit is used, an area required for providing a dedicated voltage generating circuit is not required, so that the function determining circuit is restrained from increasing in area.



LEGAL STATUS

[Date of request for examination] 16.08.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2877039

[Date of registration] 22.01.1999

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-55468

(43) 公開日 平成9年(1997)2月25日

(51) Int.Cl.⁸
H01L 27/04
21/822

識別記号

庁内整理番号

FI
H01L 27/04

技術表示箇所

E

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平7-208884

(22) 出願日 平成7年(1995)8月16日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 長南 徹

東京都港区芝五丁目7番1号 日本電気株式会社内

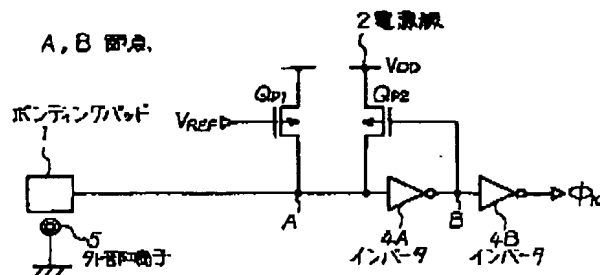
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

・【課題】 ボンディング・オプションのLSIにおける機能決定回路の消費電流を減らし、そのチップ上での占有面積を削減する。

・【解決手段】 機能決定回路を構成するpMOSトランジスタ Q_{P1} のゲート電極に、このLSI内で発生し、電源電圧 V_{DD} と接地電位との間の値を持つ、直流電圧 V_{REF} を与える。トランジスタ Q_{P1} のゲート電圧を従来よりも低下させるので、トランジスタ Q_{P1} の電流が減る。従って、トランジスタ Q_{P1} のゲート長を短くできる。トランジスタ Q_{P1} に並列に第2のpMOSトランジスタを接続し、これに、LSIの電源投入時に節点Aに電荷を供給する機能を持たせると、トランジスタ Q_{P1} の面積を更に小さくできる。直流電圧として、LSIの降圧電源など、機能決定回路に用いる以外の目的のために発生させた電圧を用いると、電圧発生回路を専用に作るための面積増大がなく、都合が良い。



(2)

特開平9-55468

1

・【特許請求の範囲】

・【請求項1】 同一チップ上に、本来の信号処理回路とその信号処理回路に作用してこの半導体集積回路の機能を決定する手段とを備える半導体集積回路であって、前記機能決定手段を、ボンディングパッドと、そのボンディングパッドに電源電位点から電荷を供給し又はボンディングパッドから接地電位点に電荷を引き抜くためのトランジスタとを少くとも含む回路で構成し、外部との接続のための端子と前記ボンディングパッドとをボンディングするかしないかによって、製造工程中で前記半導体集積回路の機能決定を行うように構成したボンディング・オプションの半導体集積回路において、

前記機能決定手段を構成するトランジスタのゲート電極に、この半導体集積回路内で発生し、電源電圧と接地電位との間の値を持つ、直流電圧を与えることを特徴とする半導体集積回路。

・【請求項2】 請求項1記載の半導体集積回路において、

前記機能決定手段を構成するトランジスタに、そのトランジスタにおける前記電荷の供給又は電荷の引抜きに対応して、この半導体集積回路の電源投入後の所定の期間前記電源電位点から前記ボンディングパッドに電荷を供給し又はボンディングパッドから前記接地電位点に電荷を引き抜くための第2のトランジスタを、並列に設けたことを特徴とする半導体集積回路。

・【請求項3】 請求項2記載の半導体集積回路において、

前記第2のトランジスタのゲート電極に、この半導体集積回路に設けられた回路で発生する信号であって、電源電圧投入後の所定の期間二値状態の一方の状態にあってこの半導体集積回路に初期状態設定をなさしめる二値制御信号を与えることを特徴とする半導体集積回路。

・【請求項4】 請求項1又は請求項2記載の半導体集積回路において、

前記機能決定手段を構成するトランジスタのゲート電極に与えられる直流電圧が、ゲート電極とドレイン電極とが短絡されソース電極が前記電源電位点に接続されたダイオード接続のpチャネル型の絶縁ゲート型電界効果トランジスタと、その電界効果トランジスタのドレイン電極と前記接地電位点との間に接続された抵抗素子とからなる回路の、前記電界効果トランジスタのドレイン電極の電圧であることを特徴とする半導体集積回路。

・【請求項5】 請求項1又は請求項2記載の半導体集積回路において、

前記機能決定手段を構成するトランジスタのゲート電極に与えられる直流電圧が、ゲート電極とドレイン電極とが短絡されソース電極が前記接地電位点に接続されたダイオード接続のnチャネル型の絶縁ゲート型電界効果トランジスタと、その電界効果トランジスタのドレイン電極と前記電源電位点との間に接続された抵抗素子とから

2

なる回路の、前記電界効果トランジスタのドレイン電極の電圧であることを特徴とする半導体集積回路。

・【請求項6】 請求項1又は請求項2記載の半導体集積回路において、

前記機能決定手段を構成するトランジスタのゲート電極に与えられる直流電圧が、この半導体集積回路の降圧電源電圧の基準電圧あるいは入力回路初段の基準電圧など、機能決定手段に専用に用いる以外の目的のために発生した直流電圧を共用したものであることを特徴とする半導体集積回路。

・【発明の詳細な説明】

・【0001】

・【発明の属する技術分野】 本発明は半導体集積回路に関し、特に、ボンディングパッドにボンディングするかしないかによって製造工程中で半導体集積回路の機能を分けるための機能決定回路を備える、ボンディング・オプションの半導体集積回路に関する。

・【0002】

・【従来の技術】 近年、半導体集積回路（以下、LSIと記す）の製造に当たって、異なる品種のLSIを低コストで製造するために、組立て前までの所謂前工程と呼ばれる製造プロセスを同一チップで行い、後工程の組立て時に上記の機能決定回路を用いて品種を分けることが行われている。このような製造技術による品種分けは、ボンディング・オプションなどと呼ばれる。図7に、ボンディング・オプションのLSIにおける従来の機能決定回路の一例の回路図を示す。図7を参照して、この回路は接地ボンディング・オプションの機能決定回路であって、ボンディングパッド1と、そのボンディングパッドと電源線（電圧＝ V_{DD} ）2との間に接続されゲート電極が接地線3に接続されたpMOSトランジスタ Q_{P1} と、入力点がトランジスタ Q_{P1} のドレイン電極（節点A）に接続されたCMOSインバータ4Aと、ゲート電極がインバータ4Aの出力点（節点B）に接続されドレイン電極が節点Aに接続されたpMOSトランジスタ Q_{P2} と、入力点がインバータ4Aの出力点に接続されたインバータ4Bとからなる。この図に示す回路を用いた接地ボンディング・オプションのLSIでは、製造工程中で次のようにして、機能決定を行う。

・【0003】 先ず、ボンディングパッド1がこのLSIの外部端子にボンディングされていないとき（ノンボンディング）は、電源線2からトランジスタ Q_{P1} を介して節点Aに電荷が供給され、節点Aの電圧が上昇する。節点Aの電圧がインバータ4Aのスレッシュホルドレベルに達すると、節点Bはインバータ4Aにより接地電位に引き抜かれる。これによりトランジスタ Q_{P2} がオン状態となり、節点Aは電源電圧 V_{DD} レベルまで充電される。この一連の動作の結果、トランジスタ Q_{P1} 、 Q_{P2} を通しての電荷供給が止まり、この機能決定回路の出力 ϕ_1 はハイ（“H”）レベルとなる。チップ上の信号処理回路

(3)

特開平 9-55468

3

・(図示せず)はこのハイレベルの信号 ϕ_1 を受けて動作し、このLSIは $\phi_1 = "H"$ でコントロールされたファンクションを持つLSIとなる。このノンボンディングのとき、機能決定回路での電流消費はない。

・【0004】次に、ボンディングパッド1がこのLSIの接地用の外部端子5にボンディングされている場合

・(接地ボンディング)について説明する。このときは、トランジスタ Q_{P1} 、 Q_{P2} を通して節点Aに電荷が供給されるが、これら二つのトランジスタは電流能力を小さくされているので、節点Aの電圧は接地電位になる。これによりインバータ4Aの出力点である節点Bが電源電圧 V_{DD} レベルとなり、トランジスタ Q_{P2} はオフ状態となる。このとき、この機能決定回路の出力 ϕ_1 はロウ

・("L")レベルとなる。この一連の動作の結果、このLSIは $\phi_1 = "L"$ でコントロールされたファンクションを持つLSIとなる。この接地ボンディングのときは、トランジスタ Q_{P1} を通してボンディングパッド1へ常に電流が流れていて、これが機能決定回路の消費電流となる。

・【0005】尚、これまでの動作説明から、機能決定回路のうちボンディング・オプションに直接関与するのは、ボンディングパッド1とpMOSトランジスタ Q_{P1} とであることが分る。インバータ4AとpMOSトランジスタ Q_{P2} とからなる回路は、節点Aの状態を保持して回路の動作をより確実なものとするためのラッチとして働く。またインバータ4Bは、負荷つまり本来の信号処理回路に対するバッファとして作用する。

・【0006】図8に、従来の機能決定回路の他の例の回路図を、示す。この回路は、電源ボンディング・オプションの機能決定回路である。図8を参照して、この回路においては、ボンディングパッド1(節点C)からnMOSトランジスタ Q_{N1} 、 Q_{N2} を介して、接地線3に電荷が引き抜かれる。このことから、各節点C、Dが接地ボンディング・オプションの場合と逆相になるが、それ以外の動作原理は、図7に示す接地ボンディング・オプションの場合と同じである。

・【0007】電源ボンディング・オプションの場合は、ノンボンディング時に節点Cの電荷を引き抜きフローティングを防止するのは、nMOSトランジスタ Q_{N1} である。ところで、良く知られているように、トランジスタどうしのチャネル長、チャネル幅あるいはゲート絶縁膜厚などの幾何学的寸法が等しければ、nMOSトランジスタはpMOSトランジスタの2倍程度の電流能力がある。従って、電源ボンディング・オプションと接地ボンディング・オプションとで消費電流を同一にしようとするならば、nMOSトランジスタ Q_{N1} のチャネル長を、pMOSトランジスタ Q_{P1} のチャネル長の2倍にしなければならない。すなわち、トランジスタ Q_{N1} の面積は、トランジスタ Q_{P1} の面積のほぼ2倍になる。

・【0008】

4

・【発明が解決しようとする課題】これまで述べたように、図7に示す従来の機能決定回路では、ボンディングパッド1と外部接地端子とをボンディングした接地ボンディングの場合、電源線2→トランジスタ Q_{P1} →節点A→ボンディングパッド1の経路で常に電流が流れており、電流を消費している。

・【0009】上記の消費電流を削減するには、トランジスタ Q_{P1} を高抵抗にすることが有効である。原理的にはトランジスタ Q_{P1} の抵抗を無限大にする、つまりこのトランジスタ Q_{P1} を取り去れば、消費電流はゼロになる。しかしながら、トランジスタ Q_{P1} を取り除いた場合、ノンボンディングのときには、このボンディングパッド1がフローティング状態になってしまう。たとえ電源投入時の節点Aを"H"レベルに確定させるような回路を付加したとしても、その後節点Aはフローティング状態になってしまう。その結果、節点Aの電圧レベルが電源電圧の変動やLSI内部で発生したノイズなどによってインバータ4Aのスレッシュホールドレベルを越え、出力信号 ϕ_1 が"L"に反転してしまう可能性が生じる。すなわち、トランジスタ Q_{P1} を取り外すことは動作の確実性を損うことのある非常に危険な手段であって、実用上は実行不可能な消費電流削減手段である。

・【0010】結局は、電源電圧変動やノイズに耐え得る範囲でなるべく消費電流を減らすために、トランジスタ Q_{P1} のチャネル長を最大限に大きくして高抵抗にするのが現実的な対策となる。但し、その場合には、トランジスタ Q_{P1} の面積、換言すれば機能決定回路のチップ上に占める面積が大きくなるという副作用が伴う。例えば、機能決定回路の消費電流は $0.5\mu A$ 以下程度になるように設計されるが、このときトランジスタ Q_{P1} の面積はほぼ $2500\mu m^2$ と、巨大になる。近年では、LSIの製造コストを少しでも削減するために、同一チップで製造する品種数は増大傾向にあり、1チップに機能決定回路が多数載って入るLSIも多い。例えばチップ上に機能決定回路が6個載っているLSIでは、トランジスタ Q_{P1} の面積の総計はボンディングパッド1個分にも相当し、チップ面積が大幅に増大することになる。

・【0011】このような、機能決定回路の低消費電流化に伴うチップ面積の増大は、図8に示す電源ボンディング・オプションのLSIでは、更に深刻な問題である。電源ボンディング・オプションの場合には、これに用いられるnMOSトランジスタ Q_{N1} の電流能力がpMOSトランジスタ Q_{P1} の電流能力の約2倍もあるからである。

・【0012】したがって本発明は、ボンディング・オプションのLSIにおける機能決定回路の消費電流を減らし、そのチップ上での占有面積を削減することを目的とするものである。

・【0013】

・【課題を解決するための手段】本発明の半導体集積回路

(4)

特開平9-55468

5

は、同一チップ上に、本発明の信号処理回路とその信号処理回路に作用してこの半導体集積回路の機能を決定する手段とを備える半導体集積回路であって、前記機能決定手段を、ボンディングパッドと、そのボンディングパッドに電源電位点から電荷を供給し又はボンディングパッドから接地電位点に電荷を引き抜くためのトランジスタとを少くとも含む回路で構成し、外部との接続のための端子と前記ボンディングパッドとをボンディングするかしないかによって、製造工程中で前記半導体集積回路の機能決定を行うように構成したボンディング・オプションの半導体集積回路において、前記機能決定手段を構成するトランジスタのゲート電極に、この半導体集積回路内で発生し、電源電圧と接地電位との間の値を持つ、直流電圧を与えることを特徴とする。

・【0014】又、本発明の半導体集積回路は、上記の半導体集積回路において、前記機能決定手段を構成するトランジスタに、そのトランジスタにおける前記電荷の供給又は電荷の引き抜きに対応して、この半導体集積回路の電源投入後の所定の期間前記電源電位点から前記ボンディングパッドに電荷を供給し又はボンディングパッドから前記接地電位点に電荷を引き抜くための第2のトランジスタを、並列に設けたことを特徴とする。

・【0015】

・【発明の実施の形態】次に、本発明の実施の形態について、図面を参照して説明する。図1に、本発明の第1の実施の形態による機能決定回路の回路図を示す。本実施の形態は、接地ボンディング・オプションの機能決定回路である。図1と図7とを比較して、本実施の形態は、ボンディングパッド1のフローティング防止のためのpMOSトランジスタ Q_{P1} のゲート電極に、LSI内部で発生させた基準電圧 V_{REF} を与えている点が、従来の機能決定回路と異っている。すなわち、本実施の形態の機能決定回路は、ボンディングパッド1と、そのボンディングパッドにドレイン電極が接続されソース電極が電源線2に接続されたpMOSトランジスタ Q_{P1} と、トランジスタ Q_{P1} のドレイン電極（節点A）に入力点が接続されたCMOSインバータ4Aと、電源線2と節点Aとの間に電流経路を成すように接続されゲート電極がインバータ4Aの出力点に接続されたpMOSトランジスタ Q_{P2} と、入力点がインバータ4Aの出力点に接続されたCMOSインバータ4Bとからなる回路である。LSI内部の信号処理回路（図示せず）への出力信号 ϕ_{10} は、インバータ4Bの出力点から取り出される。トランジスタ Q_{P1} のゲート電極には、直流の基準電圧 V_{REF} が入力されている。この基準電圧 V_{REF} は電源電圧 V_{DD} より低く、 $V_{DD} - V_{REF} > V_{T(QP1)}$ （但し、 $V_{T(QP1)}$ はpMOSトランジスタ Q_{P1} のしきい値電圧）なる条件を満足する電圧である。

・【0016】いま、ボンディングパッド1がLSIの外部端子にボンディングされていない（ノンボンディン

6

グ）とする。トランジスタ Q_{P1} はゲート電極に直流電圧 V_{REF} を与えられてオン状態となり、節点Aに電荷を供給する。節点Aの電圧がこの電荷供給により上昇しインバータ4Aのスレッシュホールドレベルを越え、インバータ4Aは節点Bを接地電位に引き抜く。これによりトランジスタ Q_{P2} がオン状態となって節点Aは電源電圧 V_{DD} まで充電される。この一連の動作の結果、トランジスタ Q_{P1} の電荷供給が停止する。このとき、インバータ4Bの出力点からLSI内部の信号処理回路に与えられる信号 ϕ_{10} は、 $\phi_{10} = "H"$ となり、このLSIは $\phi_{10} = "H"$ でコントロールされたファンクションを持つLSIとなる。このノンボンディング時には、機能決定回路は電流を消費しない。

・【0017】次に、ボンディングパッド1を接地用外部端子5にボンディングした場合（接地ボンディング）について、説明する。このときはトランジスタ Q_{P1} 、 Q_{P2} を通して節点Aに電荷が供給されるが、これらトランジスタは電流能力を小さくされているので、節点Aの電圧は接地電位になる。これによりインバータ4Aの出力点である節点Bは電源電圧 V_{DD} レベルとなり、トランジスタ Q_{P2} はオフ状態となる。このとき、この機能決定回路の出力 ϕ_{10} は、 $\phi_{10} = "L"$ となる。この一連の動作の結果、このLSIは $\phi_{10} = "L"$ でコントロールされたファンクションを持つLSIとなる。この接地ボンディングのときは、トランジスタ Q_{P1} からボンディングパッド1へ常に電流が流れていて、これが機能決定回路の消費電流となる。

・【0018】ここで、接地ボンディングのときに機能決定回路に流る消費電流の大きさを、本実施の形態と図7に示す従来の機能決定回路とで比較する。従来の機能決定回路では、トランジスタ Q_{P1} のゲート電圧は接地電位であり、このトランジスタは飽和領域で動作している。従って、機能決定回路の消費電流すなわちトランジスタ Q_{P1} を流れる電流は、 $(V_{DD} - V_{T(QP1)})^2$ に比例する。これに対し本実施の形態では、トランジスタ Q_{P1} のゲート電圧は V_{REF} であり、消費電流は、 $(V_{DD} - V_{REF} - V_{T(QP1)})^2$ に比例する。従って、従来の機能決定回路と本実施の形態とで消費電流を等しくした場合、本実施の形態におけるトランジスタ Q_{P1} のチャネル長は、従来の技術による機能決定回路におけるトランジスタ Q_{P1} のチャネル長に対し、 $(V_{DD} - V_{REF} - V_{T(QP1)})^2 / (V_{DD} - V_{T(QP1)})^2$ 倍となる。一例として、電源電圧 $V_{DD} = 3.3V$ 、直流基準電圧 $V_{REF} = 2.0V$ 、トランジスタ Q_{P1} のしきい値電圧 $V_{T(QP1)} = 0.8V$ とした場合、上記の値は0.04であり、本実施の形態におけるトランジスタ Q_{P1} の面積は、従来のわずか4%で済む。

・【0019】直流基準電圧 V_{REF} としては、 $V_{DD} - V_{T(QP1)}$ より低い電圧であれば良く、例えばLSI内部に設けられた降圧電源回路の基準電圧など、他の目的で

10

20

30

40

50

(5)

特開平 9-55468

BEST AVAILABLE COPY

7

られた直流電圧が用いられる。このようにすれば、機能決定回路用に専用の電圧発生回路を設けるための面積のオーバーヘッドがなく、好都合である。或いは、消費電流をより精密に制御する目的のためには、例えば図2に回路図を示すような、電圧発生回路を用いることもできる。

・【0020】図2は、基準電圧 V_{REF} 発生回路の一例の回路図である。図2を参照して、この電圧発生回路は、電源線3と接地線2との間に、ゲート電極とドレイン電極とを結んでダイオード接続としたpMOSトランジスタ Q_{PR} と、抵抗素子 R_1 とをこの順に直列に接続した回路である。基準電圧 V_{REF} は、トランジスタ Q_{PR} のゲート・ドレイン共通電極から取り出される。この電圧発生回路において、抵抗素子 R_1 の抵抗値を十分大きくすれば $V_{REF} \approx V_{DD} - V_{T(QPR)}$ となる。従って、機能決定回路のトランジスタ Q_{PI} の電流能力は最少となり、トランジスタ Q_{PI} の面積、延いては機能決定回路の占有面積を最小限にできる。

・【0021】次に、本発明の第2の実施の形態について説明する。図3(a)にその回路図を示す本実施の形態は第1の実施の形態に対し、LSIの電源投入時の動作の安定性を高めることにより、トランジスタ Q_{PI} の電流能力をより削減できるようにしたものである。図3

・(b)に、本実施の形態における電源投入時のタイムチャート図を示す。図3(a)を参照して、本実施の形態は、電源線2とボンディングパッド1との間つまりトランジスタ Q_{PI} に並列に、pMOSトランジスタ Q_{P3} が接続されている点が第1の実施の形態と異っている。トランジスタ Q_{P3} のゲート電極にはこのLSIで発生されるパワーオン信号 P_{ON} が、インバータ4Cにより反転されて入力されている。パワーオン信号 P_{ON} は大概の大規模LSIに用いられる信号であって、図3(b)にその波形を示すように、時刻 t_0 におけるLSIの電源投入時から所定の時間“H”となって、LSIに初期状態設定を行わせる制御信号である。

・【0022】図3(b)を参照して、この機能決定回路が、ノンボンディング状態にあるとする。いま、時刻 t_0 にLSIの電源が投入されると、パワーオン信号 P_{ON} は電源電圧 V_{DD} が或る電圧に達する迄の間、ほぼ電圧 V_{DD} に追従して上昇して行く。時刻 t_1 に $V_{DD} > V_{TN}$ （但し、 V_{TN} はこのLSIを構成するnMOSトランジスタのしきい値電圧）となると、インバータ4CのnMOSトランジスタがオン状態となり、トランジスタ Q_{P3} のゲート電極（節点G）は接地電位に引き抜かれる。更に、時刻 t_2 に電源電圧が $V_{DD} > V_{TP}$ （但し、 V_{TP} はこのLSIを構成するpMOSトランジスタのしきい値電圧）に達すると、トランジスタ Q_{P3} がオン状態となって、ボンディングパッド1（節点E）が電源電圧 V_{DD} のレベルになる。その結果、節点Fがインバータ4Aによって接地電位となり、これによりpMOSトランジスタ Q_{PI} が

8

オン状態となって、節点Eに電荷を供給する。この一連の動作により、電源電圧 V_{DD} が定常時の所定電圧に上り切らないうちにパワーオン信号が停止して $P_{ON} = "L"$ となっても、節点Eはレベル V_{DD} を保ち、出力信号 $\phi_{II} = "H"$ を出力する。

・【0023】通常、pMOSトランジスタ Q_{PI} は機能決定回路での消費電流を削減するために、非常に小さな電流能力しか持たない。従って、電源投入の際にトランジスタ Q_{PI} だけで節点Eを電源電圧 V_{DD} のレベルにまで上げようとするとき定数が大きく、出力信号 ϕ_{II} が“H”にならないうちにLSIが動作を開始する可能性がある。逆に言えば、このようなことが起らないようにするためには、トランジスタ Q_{PI} の電流能力をあまり絞れないことになる。これに対し本実施の形態では、このような電源投入時の問題は新たに設けたトランジスタ Q_{P3} で回避できるので、トランジスタ Q_{PI} の電流能力は、電源電圧の変動やノイズにより機能決定回路が誤動作をしない限度の、ぎりぎりのところまで絞ることができる。従来の機能決定回路では、このような電源投入時の動作確実化のためのトランジスタ Q_{P3} を設けても、トランジスタ Q_{PI} の電流能力を絞ろうとするとその面積が非常に大きくなるため、逆に面積が制限要素となって消費電流を削減できない。本実施の形態では面積的な問題が小さいので、消費電流を最小限に抑えることができる。本実施の形態においても、基準電圧 V_{REF} として、LSI内部で他の目的のために発生した直流電圧を用いることができる。又、図2に示す電圧発生回路の出力電圧を用いることも、当然、できる。

・【0024】次に、図4に示す回路は、本発明の第3の実施の形態の電源ボンディング・オプションの機能決定回路である。本実施の形態は第1の実施の形態に対して、ボンディングパッド1の電荷がnMOSトランジスタ Q_{NI} を通して接地線3に引き抜かれるのに対応して、各節点C、Dが逆相になっている以外、動作原理は同じである。本実施の形態における直流基準電圧 V_{REF} の条件は、トランジスタ Q_{N3} がnチャネル型のMOSトランジスタであることから、 $V_{REF} > V_{T(QN1)}$ （但し、 $V_{T(QN1)}$ はnMOSトランジスタ Q_{NI} のしきい値電圧）である。第1の実施の形態と同一の条件、すなわち、 $V_{DD} = 3.3V$ 、 $V_{REF} = 2.0V$ 、 $V_{T(QN1)} = 0.8V$ として、従来の電源ボンディング・オプションの機能決定回路と同じ消費電流にするためのトランジスタ Q_{NI} のゲート長は、 $(V_{REF} - V_{T(QN1)})^2 / (V_{DD} - V_{T(QN1)})^2 = 0.23$ 、すなわち、従来の23%で済む。

・【0025】本実施の形態においても第1の実施の形態におけると同様に、基準電圧 V_{REF} として、降圧電源など機能決定回路に用いる以外の目的のために発生させた電圧を用いることができる。又、図5に回路図を示す電圧発生回路を用いて、トランジスタ Q_{NI} の面積を更に小

(6)

特開平9-55468

9

さくずることもできる。すなわち、図5を参照して、この電圧発生回路は、電源線2と接地線3との間に、抵抗素子 R_2 と、ゲート電極とドレイン電極とを接続してダイオード接続としたnMOSトランジスタ Q_{NR} とをこの順に直列に接続した回路である。基準電圧 V_{REF} は、トランジスタ Q_{NR} のゲート・ドレイン共通電極から取り出される。この電圧発生回路において、抵抗素子 R_2 の抵抗値を十分大きくすれば、 $V_{REF} \approx V_{T(QN1)}$ となるので、トランジスタ Q_{N1} の電流能力は最少となる。従って、トランジスタ Q_{N1} の面積、延いては機能決定回路の占有面積を最小限にできる。

・【0026】次に、図6(a)に示す回路は、本発明の第4の実施の形態の電源ボンディング・オプションの機能決定回路である。本実施の形態は第2の実施の形態に対して、ボンディングパッド1の電荷がnMOSトランジスタ Q_{N1} を通して接地線3に引き抜かれるのに対応して各節点が逆相になっている以外、動作原理は同じであり、LSIの電源投入時の動作を確実にしてトランジスタ Q_{N1} の面積を更に小さくできる。本実施の形態においても、直流基準電圧 V_{REF} として、LSI内部で他の目的のために発生させた直流電圧を用いることもできるし、又、図5に示す電圧発生回路の出力電圧を用いることもできる。

・【0027】

・【発明の効果】以上説明したように、本発明は、ボンディングパッドと、そのボンディングパッドに電源電位点から電荷を供給し又はボンディングパッドから接地電位点に電荷を引き抜くためのトランジスタとを少なくとも含む機能決定回路を備え、外部との接続のための端子とボンディングパッドとをボンディングするかしないかによって、製造工程中でLSIの機能決定を行うように構成したボンディング・オプションのLSIに対し、機能決定回路を構成するトランジスタのゲート電極に、このLSI内で発生し、電源電圧と接地電位との間の値を持つ、直流電圧を与えるように構成している。これにより本発明によれば、ボンディングパッドと外部端子とを結んだときに機能決定回路のトランジスタに流れる電流を削減し、トランジスタの面積を小さくすることが可能となる。

・【0028】また本発明は、上記のLSIにおいて、機能決定回路のトランジスタに、このLSIの電源投入後の所定の期間電源電位点からボンディングパッドに電荷を供給し又はボンディングパッドから接地電位点に電荷を引き抜くための第2のトランジスタを並列に設けてい

10

る。これにより、電源電圧投入時の動作を確実にし、機能決定回路のトランジスタの電流能力を更に小さくできるようにしてその面積を減少させることができる。

・【0029】上記のLSIにおいて、機能決定回路のトランジスタのゲート電極に与える直流電圧として、ゲート電極とドレイン電極とが短絡されソース電極が電源電位点に接続されたダイオード接続のpチャネル型のMOSトランジスタと、そのpMOSトランジスタのドレイン電極と接地電位点との間に接続された抵抗素子とからなる回路の、pMOSトランジスタのドレイン電極の電圧を与えると、機能決定回路の消費電力を更に削減できる。

・【0030】機能決定回路のトランジスタのゲート電極に与える電圧として、ゲート電極とドレイン電極とが短絡されソース電極が接地電位点に接続されたダイオード接続のnチャネル型のMOSトランジスタと、そのnMOSトランジスタのドレイン電極と電源電位点との間に接続された抵抗素子とからなる回路の、nMOSトランジスタのドレイン電極の電圧を与えるように構成することもできる。

・【図面の簡単な説明】

・【図1】本発明の第1の実施の形態による機能決定回路の回路図である。

・【図2】第1の実施の形態および第2の実施の形態に用いられる直流電圧発生回路の一例の回路図である。

・【図3】本発明の第2の実施の形態による機能決定回路の回路図および、その電源投入時のタイムチャート図である。

・【図4】本発明の第3の実施の形態による機能決定回路の回路図である。

・【図5】第3の実施の形態および第4の実施の形態に用いられる直流電圧発生回路の一例の回路図である。

・【図6】本発明の第4の実施の形態による機能決定回路の回路図および、その電源投入時のタイムチャート図である。

・【図7】従来の機能決定回路の一例の回路図である。

・【図8】従来の機能決定回路の他の例の回路図である。

・【符号の説明】

- 1 ボンディングパッド
- 2 電源線
- 3 接地線
- 4A, 4B, 4C インバータ
- 5, 6 外部端子

